


MEMORY CELL STABILIZING CIRCUIT

Patent Number: JP8106787
Publication date: 1996-04-23
Inventor(s): EGAWA NOBORU
Applicant(s): OKI ELECTRIC IND CO LTD
Requested Patent:  JP8106787
Application Number: JP19940240140 19941004
Priority Number(s):
IPC Classification: G11C11/418; G11C11/41
EC Classification:
Equivalents:

Abstract

PURPOSE: To stabilize a memory by arranging a conductor to be capacitively coupled to a memory cell node and a level control means to change the conductor from the 'L' level to the 'H' level in the write operation.

CONSTITUTION: A first bit wire BL1 and a second bit wire BL2 are arranged crossing word wires WL1 and WL2. A memory cell is of an HR type or of a TFT type and constituted of transistors Q1-Q4 and resistors R1 and R2. With such an arrangement, the stability of the operation of the memory cell can be improved by raising the 'H' level of a memory cell node immediately after the end of writing.

Data supplied from the esp@cenet database - I2

4

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-106787

(43)公開日 平成8年(1996)4月23日

(51)Int.Cl.⁶

識別記号

F I

G11C 11/418
11/41

G11C 11/34
11/40

301 B
C

審査請求 未請求 請求項の数8 O L (全8頁)

(21)出願番号 特願平6-240140

(22)出願日 平成6年(1994)10月4日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 江川 昇

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

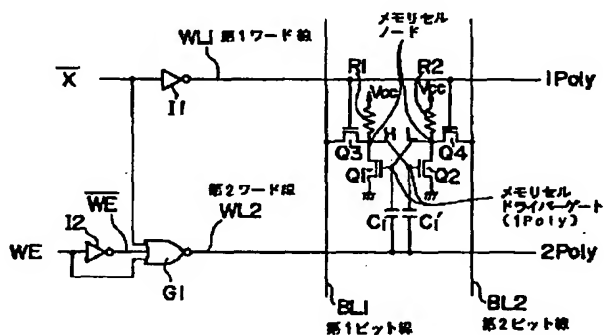
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 メモリセル安定化回路

(57)【要約】

【目的】 消費電力が増大することなく、書込み直後やデータリテンション終了時のメモリセルを安定化する。

【構成】 ビット線対BL1, BL2の“L”レベル書込み側からメモリセルノードQ1, Q2の片側の電位を“L”レベルに引き落とした後に、もう片側のメモリセルノードの電位を1Polyの第1ワード線WL1に接続されたトランスファゲートQ3, Q4のソースフォロワ動作によって“H”レベルとすることで、データを書き込むスタティックRAMに用い、メモリセルノードの形成層上に、メモリセルノードと容量C1, C2'で結合される導体2Polyを形成し、レベル制御部G1によってこの導体を書き込み動作終了直後またはデータリテンション終了後に“L”レベルから“H”レベルに変化させるようにした。



第1の実施例の構成

【特許請求の範囲】

【請求項 1】 ビット線対の“L”レベル書込み側からメモリセルノードの片側の電位を“L”レベルに引き落とした後に、もう片側のメモリセルノードの電位を第 1 ワード線に接続されたトランスファゲートのソースフォロウ動作によって“H”レベルとすることで、データを書き込むスタティック RAM に用いられ、前記メモリセルノードの形成層上に形成され、前記メモリセルノードと容量結合される導体と、この導体を書き込み動作において“L”レベルから“H”レベルに変化させるレベル制御手段とを具備することを特徴とするメモリセル安定化回路。

【請求項 2】 前記レベル制御手段は、前記導体をデータリテンション終了時にも“L”レベルから“H”に変化させるようにしたことを特徴とする請求項 1 記載のメモリセル安定化回路。

【請求項 3】 ビット線対の“L”レベル書込み側からメモリセルノードの片側の電位を“L”レベルに引き落とした後に、もう片側のメモリセルノードの電位を第 1 ワード線に接続されたトランスファゲートのソースフォロウ動作によって“H”レベルとすることで、データを書き込むスタティック RAM に用いられ、前記メモリセルノードの形成層上の導体層に形成され、前記第 1 のワード線と容量結合される第 2 のワード線と、この第 2 のワード線を書き込み動作において“L”レベルから“H”レベルに変化させるレベル制御手段とを具備することを特徴とするメモリセル安定化回路。

【請求項 4】 前記レベル制御手段は、前記第 2 のワード線をデータリテンション終了時にも“L”レベルから“H”に変化させるようにしたことを特徴とする請求項 3 記載のメモリセル安定化回路。

【請求項 5】 ビット線対の“L”レベル書込み側からメモリセルノードの片側の電位を“L”レベルに引き落とした後に、もう片側のメモリセルノードの電位を第 1 ワード線に接続されたトランスファゲートのソースフォロウ動作によって“H”レベルとすることで、データを書き込むスタティック RAM に用いられ、前記メモリセルノードの形成層上に形成され、前記メモリセルノードと容量結合される導体を、書き込み動作において“L”レベルから“H”レベルに変化させることを特徴とするメモリセル安定化方法。

【請求項 6】 さらに、前記導体をデータリテンション終了時にも“L”レベルから“H”に変化させるようにしたことを特徴とする請求項 5 記載のメモリセル安定化方法。

【請求項 7】 ビット線対の“L”レベル書込み側からメモリセルノードの片側の電位を“L”レベルに引き落とした後に、もう片側のメモリセルノードの電位を第 1 ワード線に接続されたトランスファゲートのソースフォ

ロウ動作によって“H”レベルとすることで、データを書き込むスタティック RAM に用いられ、前記メモリセルノードの形成層上の導体層に形成され、前記第 1 のワード線と容量結合される第 2 のワード線を書き込み動作において“L”レベルから“H”レベルに変化させるようにしたことを特徴とするメモリセル安定化方法。

【請求項 8】 さらに、前記第 2 のワード線をデータリテンション終了時にも“L”レベルから“H”に変化させるようにしたことを特徴とする請求項 7 記載のメモリセル安定化方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、スタティック RAM の、特に HR 型（高抵抗負荷型）または TFT 型（薄膜トランジスタ型）メモリセルの動作安定化を図るメモリセル安定化回路に関する。

【0002】

【従来の技術】従来より、HR 型または TFT 型スタティック RAM にあつては、メモリセルへの書き込み動作として、ビット線対の“L”レベル書込み側からメモリセルノードの片側の電位を“L”レベルに引き落とした後に、もう片側のメモリセルノードの電位をトランスファゲートのソースフォロウ動作によって“H”レベルとすることで、データを書き込むようにしている。

【0003】ところが、HR 型または TFT 型のメモリセルノードの“H”レベルは、電源電圧まで上昇せず、トランジスタのしきい値電圧分だけ低いレベルになる。よって、書き込み直後はメモリセルが不安定な状態にある（CMOS 超 LSI の設計、菅野卓雄、培風館、P 164~165）。

【0004】これに対しては、特願平 2-3171 号公報に示されるように、書き込み時はワード線に高電圧を印加する方法をとるのが一般的である。尚、この文献では、内部降圧する前の電圧をワード線に印加する方法が示されているが、昇圧された電圧をワード線に印加するブーストラップワード線を用いる方法もある。また、メモリセルのトランスファゲートにしきい値電圧の基板バイアス効果の少ないトランジスタを用いる方法もある。

【0005】また、データリテンション（データ保持動作）終了時は電源電圧は上昇しているが、メモリセルノードの“H”レベルは高抵抗で電源と接続されているため、データリテンション時の電源電圧と同じ低いレベルになっており、やはりメモリセルは不安定な状態にある。

【0006】しかしながら、上記のようにワード線に高電圧を常に印加したり、基板バイアス効果の少ないトランジスタを用いると、ビットラインから選択メモリセルに流れ込むメモリセル電流が増加してしまい、消費電力が大きくなるという問題があった。

10

20

30

40

50

【0007】さらに、上記の方法では、書き込み直後のメモリセルの安定性は向上しても、データリテンション終了時のメモリセルの安定性はよくならないという問題がある。

【0008】尚、従来技術を示す文献として、他に特願昭59-104787号公報に「ワード線電位安定化回路」の発明が開示され、特願昭63-239862号公報に「半導体記憶装置」の発明が開示され、特願平4-82085号公報に「スタティック型メモリセル」の発明が開示されているが、いずれもこの発明とはその構成及び作用効果が異なるため、ここではその説明を省略する。

【0009】

【発明が解決しようとする課題】以上述べたように、従来のHR型またはTFT型によるスタティックRAMのメモリセル安定化方法では、消費電力の増加が少なく、さらにデータリテンション終了時の安定性には効果がない。

【0010】この発明は上記の課題を解決するためになされたもので、HR型またはTFT型によるスタティックRAMにおいて、消費電力が増大が少なく、書き込み直後またはデータリテンション終了時のメモリセルの動作を安定化することができるメモリセル安定化回路及びその方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するためにこの発明に係るメモリセル安定化回路は、ビット線対の“L”レベル書き込み側からメモリセルノードの片側の電位を“L”レベルに引き落とした後に、もう片側のメモリセルノードの電位を第1ワード線に接続されたトランスファゲートのソースフォロウ動作によって“H”レベルとすることで、データを書き込むスタティックRAMに用いられ、前記メモリセルノードの形成層上に形成され、前記メモリセルノードと容量結合される導体と、この導体を書き込み動作においてまたはデータリテンション終了後に“L”レベルから“H”レベルに変化させるレベル制御手段とを具備して構成するようにしたものである。

【0012】または、上記スタティックRAMに用いられ、前記メモリセルノードの形成層上の導体層に形成され、前記第1のワード線と容量結合される第2のワード線と、この第2のワード線を書き込み動作において“L”レベルから“H”レベルに変化させるレベル制御手段とを具備して構成するようにしたものである。

【0013】

【作用】上記先の構成によるメモリセル安定化回路では、書き込み動作において、またはデータリテンション終了後に、メモリセルノードと容量結合される導体の電位を“L”レベルから“H”レベルに変化させることで、メモリセルノードの“H”レベルを上げ、これによって

メモリセルの動作安定化を図っている。

【0014】後の構成によるメモリセル安定化回路では、書き込み動作において第1のワード線と容量結合される第2のワード線の電位を“L”レベルから“H”レベルに変化させることで、第1のワード線の“H”レベルを上げ、すなわちトランスファゲートのゲート電圧を上げることでメモリセルノードの“H”レベルの書き込み電圧が上がり、これによってメモリセルの動作安定化を図っている。

【0015】

【実施例】以下、図面を参照してこの発明の実施例を詳細に説明する。

【0016】図1はこの発明に係るメモリセル安定化回路の第1の実施例の構成を示すものである。図1において、WL1は第1ワード線、WL2は第2ワード線であり、これらのワード線WL1、WL2に交差するように、第1ビット線BL1、第2ビット線BL2が配線される。

【0017】メモリセルはHR型またはTFT型であり、トランジスタQ1～Q4及び抵抗R1、R2で構成される。Q1及びQ2はドライバゲートトランジスタ、Q3及びQ4はトランスファゲートトランジスタである。

【0018】トランジスタQ1、Q2は互いのゲートとドレインとが接続される。この接続部分がメモリセルドライバゲート＝メモリセルノードとなる。また、それぞれのソースは接地される。

【0019】トランジスタQ3はゲートが第1ワード線WL1に接続され、ドレインが第1ビット線BL1に接続され、ソースがトランジスタQ1のドレインに接続されると共に、抵抗R1を介してVCC電源に接続される。同様にトランジスタQ4はゲートが第1ワード線WL1に接続され、ドレインが第2ビット線BL2に接続され、ソースがトランジスタQ2のドレインに接続されると共に、抵抗R2を介してVCC電源に接続される。

【0020】上記メモリセルドライバゲート（メモリセルノード）は1Poly（第1ポリシリコン層）で形成され、第2ワード線WL2は1Poly上の2Poly（第2ポリシリコン層）で形成される。1Polyと2Polyの間には容量C1、C1'が形成され、それぞれ第2ワード線WL2とメモリセルドライバゲートとの間に接続される。

【0021】ここで、1Poly、2Polyの物理的な上下関係と層名は問わない。また、1Poly、2Polyは拡散層、メタル等で置き換えても構わない。

【0022】1Polyの第1ワード線WL1は立ち上げ信号X-（-は反転を表すものとする）をインバータI1で反転した信号でドライブされる。また、2Polyの第2ワード線WL2は、1Polyのワード線WL1の立ち上げ信号（行デコーダ出力）X-、ライト制御

信号WE及びインバータI2によるWEの逆相遅延信号WE-を入力とするNORゲートG1の論理和反転出力でドライブされる。

【0023】図2に第1の実施例の動作波形を示す。まず、ライト制御信号WEがLレベル（GNDレベル）からHレベル（VCCレベル）になってライト中になると、メモリセルノードの“H”側は、メモリセルトランスファゲートのしきい値電圧VT分だけ電源電圧レベルVCCより低いレベルとなる。

【0024】次に、ライト制御信号WEがHレベルからLレベルになってライト終了となると、インバータI2とNORゲートG1により第2ワード線WL2はLレベル（GNDレベル）からHレベル（VCCレベル）に急激に変化する。

【0025】このとき、メモリセルノードの“H”側は、VCCからVTだけ落ちたレベル以上の電圧ではフローティング状態に近いので、第2ワード線WL2とのC1、C1'による容量結合により“H”側のノード電位が上がる。一方、メモリセルノードの“L”側は、メモリセルドライブゲートがオンしているため、容量結合によ

っては電位は変わらない。

【0026】その後、第2ワード線WL2の電位をゆっくり下げる。このため、容量結合による電位の低下も起きず、メモリセルノードの“H”側は電位が上がったままとなる。

【0027】図3はこの発明の第2の実施例の構成を示すものである。尚、図3において、図1と同一部分には同一符号を付して示し、ここでは異なる部分を中心に説明する。

【0028】図3において、メモリセル構造は第1の実施例と全く同様である。この実施例では、1Polyで形成されたメモリセルドライブゲート（メモリセルノード）の上に2Polyを形成し、1Polyと2Polyの間に容量C2、C2'を形成して、それぞれ第2ワード線WL2とメモリセルドライブゲートとの間に接続する。2Polyは、図1のように第1ワード線毎に分けて配置するのではなく、全メモリセルに対して配置する。

【0029】そして、この2Polyは、電源電圧VCCが上がってデータリテンションが終わることを検出して、例えば出力φvをLからHにするVCC電位検知回路D1と、φvとインバータI3によるその逆相遅延信号φv-を入力するANDゲートG2の論理積出力でドライブされる。

【0030】この実施例でも、メモリセルはHR型またはTFT型であり、1Polyと2Polyの物理的な上下関係と層名は問わない。また、1Poly、2Polyは拡散層、メタル等で置き換えても構わない。

【0031】図4に第2の実施例の動作波形を示す。まず、データリテンション中は、電源電圧はVCCレベルか

らVCCレベルまで下がっている。また、メモリセルノードの“H”側の電位もHRまたはTFTによって電源電圧と同じになってデータ保持している。

【0032】次に、電源電圧がVCCまで上昇して動作状態になっても、メモリセルノードの“H”側の電位はHRまたはTFTによって高抵抗で電源に接続されているため、VCCレベルまで上昇するのに時間がかかる。よって、しばらくはVCCレベルのままである。

【0033】電源電圧がVCCからVCCに上昇すると、VCC電位検出回路（ここでは電源電圧がVCCレベルに上がってデータリテンションが終わると、出力φvがLからHに変化する回路とする）がこれを検出して出力φvをLレベル（GNDレベル）からHレベル（VCCレベル）に変化させる。

【0034】このため、インバータI3とANDゲートG2により、メモリセルアレイの2Polyは急激にLからHに変化するようになり、第1の実施例の場合と同じように、メモリセルノードの“H”側の電位は上がったままとなる。

【0035】図5はこの発明の第3の実施例の構成を示すものである。尚、図5において、図1と同一部分には同一符号を付して示し、ここでは異なる部分を中心に説明する。

【0036】図5において、メモリセル構造は第1の実施例と全く同様である。この実施例では、1Polyで形成されたメモリセルトランスファゲート（第1ワード線WL1）の上に2Polyの第2のワード線WL2を形成し、1Polyと2Polyの間に容量C3を形成し、第1及び第2のワード線WL1、WL2間に接続する。

【0037】2Polyの第2のワード線WL2は、ライト制御信号WEとインバータI4によるその逆相遅延信号WE-を入力するNORゲートG3の論理和反転出力でドライブされる。また、1Polyの第1ワード線WL1を立ち上げ信号X-によりドライブするワードドライブWD1のPMOSのソースとVCCの間には、第2のワード線WL2の電位をゲート入力するPMOS1が挿入されている。

【0038】この実施例でも、メモリセルはHR型またはTFT型であり、1Polyと2Polyの物理的な上下関係と層名は問わない。また、1Poly、2Polyは拡散層、メタル等で置き換えても構わない。ビット線BL1、BL2はそれぞれPMOS2及びPMOS3によりプルアップされており、CMOSのカラムスイッチSW1、SW2及びライト回路W1、W2により駆動される。

【0039】図6に第3の実施例の動作波形を示す。まず、ライト制御信号WEがLレベル（GNDレベル）からHレベル（VCCレベル）になってライト中になると、メモリセルノードの“H”側は、メモリセルトランスフ

10

20

30

40

50

アゲートのしきい値電圧 V_T 分だけ V_{CC} より低いレベルとなる。

【0040】次に、ライト制御信号 WE が H レベルから L レベルになってライト終了となると、インバータ I_4 と NOR ゲート G_3 により第2ワード線 WL_2 は L レベル(GND レベル)から H レベル(V_{CC} レベル)に急激に変化する。

【0041】第2ワード線 WL_2 が H レベルになると、 $PMOS_1$ はオフ、第1ワード線(1 $Poly$) WL_1 はフローティング状態になって、第2ワード線(2 $Poly$) WL_2 との容量結合により V_{CC} 電位よりも高い電位に一瞬上げられる。メモリセルトランスファゲートはゲート電位が上がった分、ビット線 BL_1 、 BL_2 のレベルを高くメモリセル内に取り込む。よって、メモリセルノードの“ H ”電位は高く書き込まれるようになる。

【0042】図7はこの発明の第4の実施例の構成を示すものである。尚、図7において、図5と同一部分には同一符号を付して示し、ここでは異なる部分を中心に説明する。

【0043】図7において、メモリセル構造は第1の実施例と全く同様である。この実施例でも、1 $Poly$ で形成されたメモリセルトランスファゲート(第1ワード線 WL_1)の上に2 $Poly$ の第2のワード線 WL_2 を形成し、1 $Poly$ と2 $Poly$ の間に容量 C_4 を形成し、第1及び第2のワード線 WL_1 、 WL_2 間に接続する。

【0044】2 $Poly$ の第2ワード線 WL_2 は、ライト制御信号 WE とインバータ I_5 によるその逆相遅延信号 WE を入力する $NAND$ ゲート G_4 の論理和反転出力と、第1ワード線 WL_1 を選択する立ち上げ信号 X とインバータ I_6 によるその逆相遅延信号 X を入力する OR ゲート G_5 の論理和出力とを入力する $NAND$ ゲート G_6 の論理和反転出力でドライブされる。

【0045】また、1 $Poly$ の第1ワード線 WL_1 をドライブするワードドライブ WD_1 の $PMOS$ のソースと V_{CC} の間に挿入される $PMOS_1$ には、 $NAND$ ゲート G_4 の出力をインバータ I_7 で逆相にした信号がゲート入力される。

【0046】この実施例でも、メモリセルは HR 型または TFT 型であり、1 $Poly$ と2 $Poly$ の物理的な上下関係と層名は問わない。また、1 $Poly$ 、2 $Poly$ は拡散層、メタル等で置き換えても構わない。ビット線 BL_1 、 BL_2 はそれぞれ $PMOS_2$ 及び $PMOS_3$ によりプルアップされており、 $CMOS$ のカラムスイッチ SW_1 、 SW_2 及びライト回路 W_1 、 W_2 により駆動される。

【0047】図8に第4の実施例の動作波形を示す。第3の実施例の動作とほぼ同じであるが、異なる点は、第1ワード線 WL_1 が立ち上がる際には、第2ワード線 WL_2 も同時に立ち上がっている点である。

【0048】すなわち、この実施例では、第1ワード線 WL_1 を第2ワード線 WL_2 と同電位で動かすことで容量 C_4 を事実上見えなくし、第1ワード線 WL_1 の立ち上がりを速くしている。第2ワード線 WL_2 は、第1ワード線 WL_1 と共に立ち上がった後にゆっくり立ち下がり、後は第3の実施例と同じ動作となる。

【0049】以上のことから、第1の実施例の構成によれば、ライト終了直後におけるメモリセルノードの

“ H ”レベルを上げることにより、メモリセルの動作安定性を向上させることができる。また、第2の実施例によれば、データリテンション終了時のメモリセルノードの“ H ”レベルを上げることができ、さらにメモリセルの動作安定性を向上させることができる。

【0050】また、第3の実施例の構成によれば、ライト終了直前におけるメモリセルノードの“ H ”レベルを上げることにより、メモリセルの動作安定性を向上させることができる。

【0051】さらに、第4の実施例の構成によれば、第3の実施例の効果と共に、通常のリード時の動作速度が遅れないという効果が得られる。

【0052】第1、第2の実施例の構成によれば、ビット線からメモリセルに流れ込むメモリセル電流は増加しない。また、第3、第4の実施例の構成では、ライト終了直前にメモリセル電流が瞬間的に増加するが、それ以外のときは増加しない。よって消費電力の増加を最小限で済ませることができる。

【0053】また、第1、第2の実施例の構成によれば、上記の効果の他に、メモリセルノードの容量も増加させることができ、メモリセルの動作安定性をさらに向上させることができる。

【0054】さらに、第1乃至第4の実施例において、メモリセルの動作の安定性が向上するということは、ソフトエラー等にも強くなり、また動作電源電圧も拡大することができるようになる。第2の実施例では、データ保持電源電圧も拡大することができる。

【0055】尚、第1乃至第4の実施例では、容量結合による電圧の上昇を1回のみとしたが、リングオシレータ等で複数回行うことで、より効果が大きくなる。また、第1、第3、第4の実施例では、書き込み動作終了時に容量結合による電圧の上昇を行っているが、書き込み動作中から行っても良い。その他、この発明は上述した実施例に限定されず、この発明の要旨を逸脱しない範囲で種々変形しても同様に実施可能であることはいうまでもない。

【0056】

【発明の効果】以上述べたようにこの発明によれば、 HR 型または TFT 型によるスタティック RAM において、消費電力が増大することなく、書き込み直後またはデータリテンション終了時のメモリセルの動作を安定化することができるメモリセル安定化回路及びその方法を提

供することができる。

【図面の簡単な説明】

【図 1】この発明に係るメモリセル安定化回路の第 1 の一実施例の構成を示す回路図である。

【図 2】同第 1 の実施例の動作波形を示す波形図である。

【図 3】この発明に係るメモリセル安定化回路の第 2 の一実施例の構成を示す回路図である。

【図 4】同第 2 の実施例の動作波形を示す波形図である。

【図 5】この発明に係るメモリセル安定化回路の第 3 の一実施例の構成を示す回路図である。

【図 6】同第 3 の実施例の動作波形を示す波形図である。

【図 7】この発明に係るメモリセル安定化回路の第 4 の一実施例の構成を示す回路図である。

【図 8】同第 4 の実施例の動作波形を示す波形図である。

【符号の説明】

WL 1 第 1 ワード線

WL 2 第 2 ワード線

BL 1 第 1 ビット線

BL 2 第 2 ビット線

Q 1, Q 2 ドライバゲートトランジスタ

Q 3, Q 4 トランスファゲートトランジスタ

C 1, C 1', C 2, C 2', C 3, C 4 容量

I 1 ~ I 7 インバータ

10 G 1 NORゲート

G 2 ANDゲート

G 3 NORゲート

G 4 NANDゲート

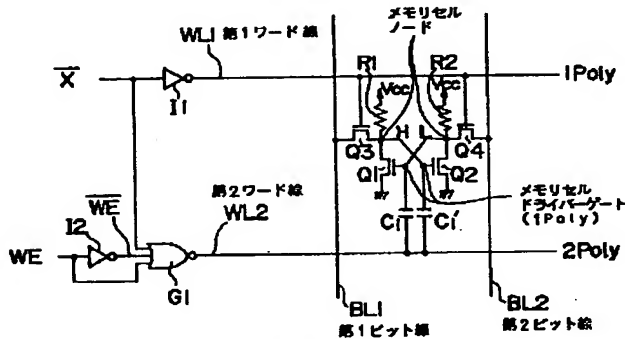
G 5 ORゲート

G 6 NANDゲート

D 1 VCC電位検出回路

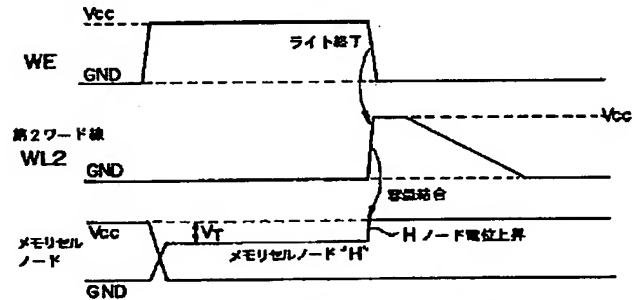
WD 1 ワードドライバ

【図 1】



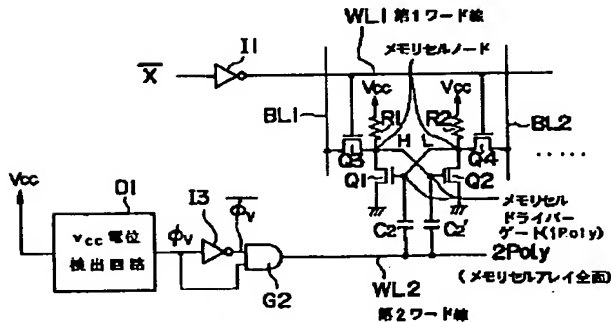
第 1 の実施例の構成

【図 2】



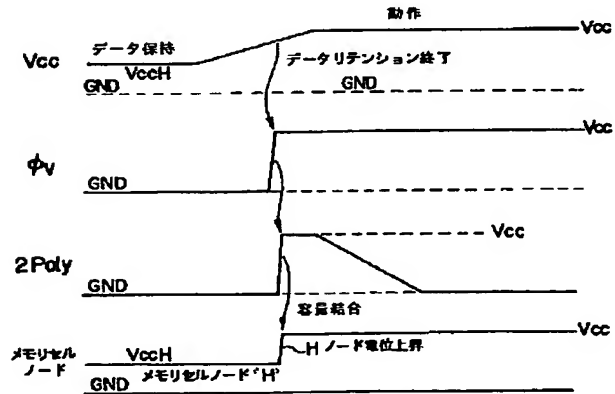
第 1 の実施例の動作波形

【図 3】



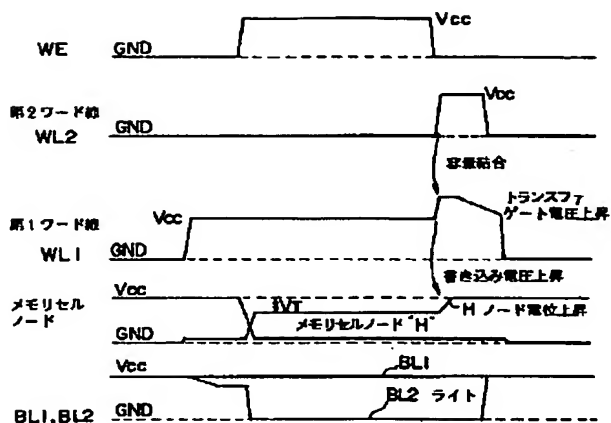
第 2 の実施例の構成

【図 4】



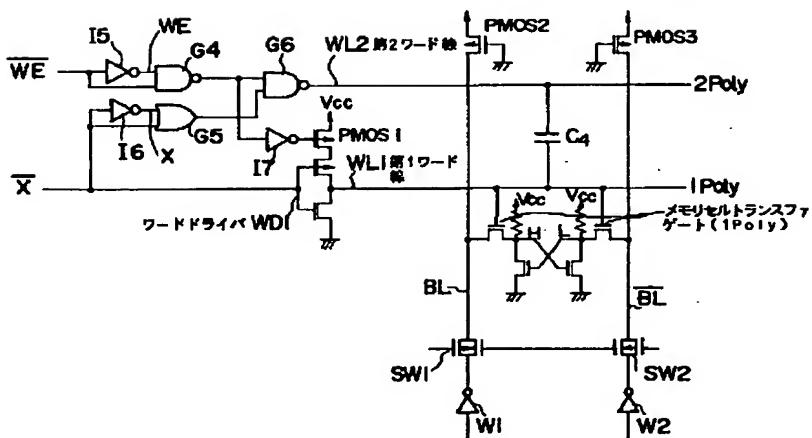
第 2 の実施例の動作波形

【例 6】



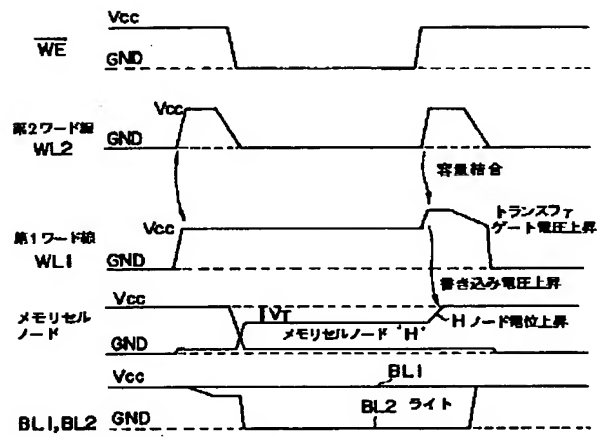
ふるの実施例の動作波形

【図 7】



第 4 の実施例の構成

【図8】



第4の実施例の動作波形